

Abridged Translation of Citation 4:

Japanese Patent Application Public-disclosure No. 6-6387

Japanese Patent Application Public-disclosure date: January 14, 1994

Title of the invention: Data transfer control method and device

Japanese Patent Application No. 4-156734

Japanese Patent Application date: June 16, 1992

[Industrial field of the invention]

The present invention is directed to a data transfer control technique and in particular to a technique effectively applicable to control of data transfer between a central processing unit and a peripheral device in an information processing system.

[Embodiment]

Hereafter, an embodiment of a data transfer control method and device of the present invention will be specifically described with reference to the attached drawings.

Fig. 1 is a block diagram illustrating a data transfer control method and device of the present invention applied to data transfer between a central processing unit and an external storage in an information processing system.

An information processing system in accordance with the present embodiment comprises a channel 1 for controlling input/output of data to/from the outside under control of a central processing unit not indicated in the drawing, and a storage device 3 coupled to the channel 1 via a storage controller 2. The channel 1 and the storage controller 2 are connected by a channel interface 4, whereas the storage controller 2 and the storage device 3 are connected by a device-to-device interface 10.

Inside the storage controller 2 are disposed: channel interface control 5 for controlling an interface with the channel 1; first data buffer 7 for temporarily storing data exchanged with the channel 1; data buffer interface 6 for coupling the first data buffer 7 to the channel interface control 5; first control circuit 8 for controlling an operation of the first data buffer 7; and microprocessor 9 for conducting centralized control of all the aforementioned components.

The storage device 3 comprises: data storage portion 17 consisting of, for example, a desired persistent storage medium; second data buffer 13 for temporarily storing data exchanged with the storage controller 2 via the device-to-device interface 10 to exchange the data with the data storage portion 17; second control circuit 14 for controlling an operation of the second data buffer 13; and micro-processor 15 for controlling the entire storage device 3.

Further, the first control circuit 8 of the storage controller 2 and the second control circuit 14 of the storage device 3 are connected by a control line 11, and similarly the microprocessor 9 and the microprocessor 15 are connected to each other via communication interface 12.

Hereafter, an operation of the data transfer control method and device in accordance with the present embodiment, more specifically, a write operation, i.e., data transfer from the channel 1 to the storage device 3, will be described.

The channel interface control 5 controls a protocol at the channel interface 4. The protocol is predetermined and for interface lines, various interface lines such as a metal cable, an optical fiber cable or the like may be employed.

Data transfer is controlled mainly by the first control circuit 8 and second control circuit 14.

The first control circuit 8 determines, according to the size of the second data buffer 13 set in advance by the microprocessor 9, the state of data accumulation in the second data buffer 13 posted by the second control circuit 14 via the control line 11 and the state of accumulation of data in the first data buffer 7, whether to request the channel 1 to transfer data, whereby the data transfer request 16 is controlled.

The channel interface control 5 changes the format of a data transfer request sent via the data transfer request 16 to comply with the protocol on the channel interface 4 and sends the request to the channel 1. Upon receipt of the request, the channel 1 sequentially sends a requested amount of data onto the channel interface 4 in accordance with the protocol on the channel interface 4. Upon receiving the data, the channel interface control 5 extracts only the data from the protocol and sends the data to the first data buffer 7 via the data buffer interface 6.

The first control circuit 8 for controlling the first data buffer 7 sends the data stored temporarily in the first data buffer 7 to the second data buffer 13 via the device-to-device interface 10, as long as the second data buffer 13 is not full.

The second control circuit 14 for controlling the second data buffer 13 sends the data stored temporarily in the second data buffer 13 to a data storage portion 17 in synchronization with a working speed of the data storage portion 17.

Next, an operation of the first control circuit 8 and second control circuit 14 in data transfer processing such as described above will be specifically explained below.

The second control circuit 14 monitors an amount of data input to/output from the second data buffer 13 and learns the amount of data stored in the second data buffer 13. The second control circuit 14 further notifies the first control circuit 8 via the control line 11 of two kinds of binary information in the form of two bits, i.e., whether the amount of data is greater than a half of

the total data storage amount (storage capacity) of the second data buffer 13, and whether it is equal to the total data storage amount of the second data buffer 13.

Similarly, the first control circuit 8 monitors an amount of data input to/output from the first data buffer 7 and learns the amount of data stored in the first data buffer 7. Further, the total data storage amount (storage capacity) of the second data buffer 13 is set in advance by the microprocessor 9. More specifically, the amount is set when the microprocessor 9 receives information about the capacity via the communication interface 12 from the microprocessor 15, for example, on switch-on.

From the aforementioned set value, information posted via the control line 11 and the amount of data requested from the channel 1, the first control circuit 8 determines by a method described below whether to request the channel 1 to transfer data.

(1) When the amount of data in the second data buffer 13 posted via the control line 11 is less than one half of the total storage amount and a difference between the number of past data transfer requests and the amount of data output from the first data buffer 7 is less than the total storage amount of the first data buffer 7 or the total storage amount of the second data buffer 13, data transfer is requested. On the contrary, when it is equal to or more than the same, data transfer is not requested.

(2) When the amount of data in the second data buffer 13 posted via the control line 11 is more than one half of the total storage amount and a difference between the number of past data transfer requests and the amount of data output from the first data buffer 7 is less than the total storage amount of the first data buffer 7, data transfer is requested. On the contrary, when it is equal to or more than the same, data transfer is not requested.

By the aforementioned control, data transfer can be conducted at the time of a write operation without overflow of the first data buffer 7 and second data buffer 13 or loss of data.

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-6387

(43)公開日 平成6年(1994)1月14日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 13/08		8020-5K		
G 0 6 F 13/38	3 1 0 D	9072-5B		

審査請求 未請求 請求項の数 4(全 6 頁)

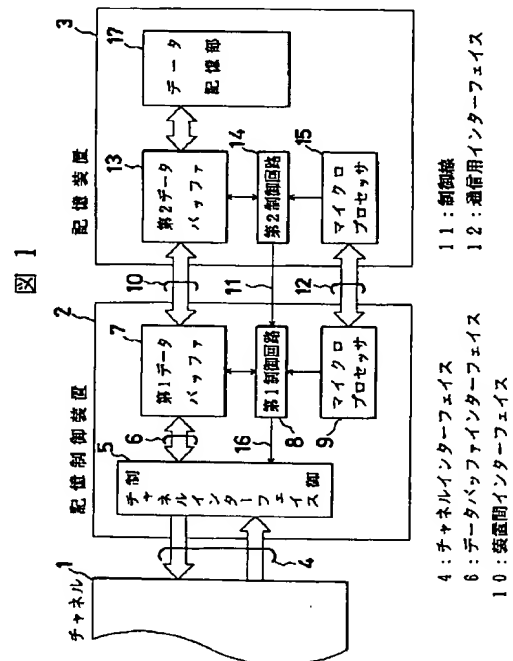
(21)出願番号	特願平4-156734	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目 6 番地
(22)出願日	平成 4 年(1992) 6 月16日	(72)発明者	高野 雅弘 神奈川県小田原市国府津2880番地 株式会 社日立製作所小田原工場内
		(74)代理人	弁理士 筒井 大和

(54)【発明の名称】 データ転送制御方法および装置

(57)【要約】

【目的】 装置間におけるデータ転送距離の拡大やデータ転送の高速化などの稼働環境の変化に応じてバッファサイズを容易に拡大することが可能なデータ転送制御技術を提供する。

【構成】 記憶装置3の第2制御回路14は、第2データバッファ13内のデータ量を監視し、定められた量以上か否かを記憶制御装置2に設けられた第1データバッファ7を制御する第1制御回路8に制御線11を介して通知する。第1制御回路8は、第2制御回路14からの情報に基づいて、チャンネル1に対するデータ転送要求の発行を行うか否かの判定条件を切り換えることにより、第1データバッファ7と第2データバッファ13のオーバーフローを防止し、第1データバッファ7および第2データバッファ13を一つの転送制御用バッファと等価に動作させる。



1

【特許請求の範囲】

【請求項1】 第1および第2の装置間のデータ転送経路に直列に介在し、互いに他の出力を入力とすることにより双方向のデータ転送を行う第1および第2のデータバッファを含むデータ転送制御回路において、前記第2のデータバッファの容量およびデータ量の大小に基づいて前記第1のデータバッファと前記第1の装置との間におけるデータ転送要求の発行動作を制御することを特徴とするデータ転送制御方法。

【請求項2】 前記第1の装置と前記第1のデータバッファとの間におけるデータ転送速度および距離の少なくとも一方、または前記第2の装置と前記第2のデータバッファとの間におけるデータ転送速度および距離の少なくとも一方、に応じて前記第2のデータバッファの容量を最適に設定することを特徴とする請求項1記載のデータ転送制御方法。

【請求項3】 第1および第2の装置間のデータ転送経路に直列に介在し、互いに他の出力を入力とすることにより双方向のデータ転送を行う第1および第2のデータバッファと、前記第1のデータバッファと前記第1の装置との間におけるデータ転送要求を制御する第1の制御回路と、前記第2のデータバッファを制御する第2の制御回路とを含むデータ転送制御装置であって、前記第1の制御回路に対して前記第2のデータバッファの容量を予め設定する第1の手段と、前記第2の制御回路から前記第1の制御回路に対して前記第2のデータバッファ内のデータ量を通知する第2の手段とを設け、前記第2のデータバッファの容量およびデータ量に基づいて、前記第1の制御回路における制御条件を切り換えることを特徴とするデータ転送制御装置。

【請求項4】 前記第1および第2の装置が、それぞれチャネルおよび当該チャネルとの間で授受されるデータを記憶する記憶媒体を備えた記憶装置であり、前記第1のデータバッファおよび第1の制御回路は前記チャネルと前記記憶装置との間に介在して両者間におけるデータ転送を制御する記憶制御装置内に設けられ、前記第2のデータバッファおよび第2の制御回路は前記記憶装置内に設けられていることを特徴とする請求項3記載のデータ転送制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、データ転送制御技術に関し、特に、情報処理システムにおける中央処理装置と周辺装置との間などにおけるデータ転送制御に適用して有効な技術に関する。

【0002】

【従来の技術】たとえば、情報処理システムを構成する中央処理装置や外部記憶装置などにおけるデータ転送は、一般に、一方の装置からデータ転送要求を発行し、これに対して他方の装置が当該要求に対する応答を返

2

し、その後データ転送を開始する、という手順で行われる。このようなデータ転送において、一方の装置がデータ転送を要求し、他方の装置がこの要求に対して応答を返すとともに、当該応答に同期してデータ転送を実行する場合を考えると、両装置間の距離に対して信号伝送の遅延時間が無視できない時は、データ転送要求から応答までに伝送遅延による時間が費やされることになる。転送すべきデータが多量で、それぞれを転送するために上記のような転送要求と応答を繰り返していると、全てのデータの転送を終了するまでに、

(要求から応答までの伝送遅延時間) × (データ量)

の時間が必要となり、効率が良くない。そこで、上記の所要時間を減らす方法として、データ転送要求時に複数データをまとめて要求し、これに対する応答時に要求された量のデータをまとめて送る方法がある。この方法を用いれば全てのデータを転送するための時間は、

(要求から応答までの伝送遅延時間) × (データ量) / (1回のデータ要求で転送するデータ量)

となり、1回のデータ要求で要求するデータ量が多くなればなるほど、短時間で転送が終了する。さらに、データ転送を要求後、その応答を待たずに次の要求を発行する方法を用いれば、さらに転送所要時間を短縮できる。

【0003】しかしながら、このように複数のデータをまとめて要求してしまう場合には、たとえば、特開平1-233646号公報に記載されているように、既に要求してしまったデータを確実に受け取り、その消失を防ぐためのバッファが必要である。このバッファの大きさは、どれだけのデータをまとめて要求する必要があるかに依存し、必要なデータ転送速度と要求から応答までの伝送遅延時間、すなわち装置間の伝送路の長さによって決まる。

【0004】

【発明が解決しようとする課題】したがって、上記のようなデータ転送制御を行う装置を設計する場合、その中に用いるバッファサイズは、常に最大の伝送距離と最大のデータ転送速度に見合った十分な大きさを予め準備しておく必要がある。

【0005】一方、最近では、情報処理のネットワーク化、さらには周辺機器の性能向上による短期間での仕様変更などによって、中央処理装置やチャネルなどの上位装置と、当該上位装置に接続される外部記憶装置などの周辺機器の間の物理的な距離やデータ転送性能を正確に予測することは比較的困難であり、データ転送制御装置内の単一のバッファのサイズを設計時に的確に決定することは容易ではない。

【0006】本発明の目的は、装置間におけるデータ転送距離の拡大やデータ転送の高速化などの稼働環境の変化に応じてバッファサイズを容易に拡大することが可能なデータ転送制御技術を提供することにある。

【0007】本発明の他の目的は、簡単なインターフェ

50

イスによって、必要なバッファサイズに満たないサイズを有する複数のバッファを連結して必要なバッファサイズを的確に実現することが可能なデータ転送制御技術を提供することにある。

【0008】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下の通りである。

【0010】本発明のデータ転送制御方法は、第1および第2の装置間のデータ転送経路に直列に介在し、互いに他の出力を入力とすることにより双方向のデータ転送を行う第1および第2のデータバッファを含むデータ転送制御回路において、第2のデータバッファの容量およびデータ量の大小に基づいて第1のデータバッファと第1の装置との間におけるデータ転送要求の発行動作を制御するものである。

【0011】また、本発明のデータ転送制御方法は、請求項1記載のデータ転送制御方法において、第1の装置と第1のデータバッファとの間におけるデータ転送速度および距離の少なくとも一方、または第2の装置と第2のデータバッファとの間におけるデータ転送速度および距離の少なくとも一方、に応じて第2のデータバッファの容量を最適に設定するものである。

【0012】また、本発明のデータ転送装置は、第1および第2の装置間のデータ転送経路に直列に介在し、互いに他の出力を入力とすることにより双方向のデータ転送を行う第1および第2のデータバッファと、第1のデータバッファと第1の装置との間におけるデータ転送要求を制御する第1の制御回路と、第2のデータバッファを制御する第2の制御回路とを含むデータ転送制御装置において、第1の制御回路に対して第2のデータバッファの容量を予め設定する第1の手段と、第2の制御回路から第1の制御回路に対して第2のデータバッファ内のデータ量を通知する第2の手段とを設け、第2のデータバッファの容量およびデータ量に基づいて、第1の制御回路における制御条件を切り換えるものである。

【0013】また、本発明のデータ転送装置は、請求項3記載のデータ転送制御装置において、第1および第2の装置が、それぞれチャネルおよび当該チャネルとの間で授受されるデータを記憶する記憶媒体を備えた記憶装置からなり、第1のデータバッファおよび第1の制御回路はチャネルと記憶装置との間に介在して両者間におけるデータ転送を制御する記憶制御装置内に配置され、第2のデータバッファおよび第2の制御回路は記憶装置内に配置される構成としたものである。

【0014】

【作用】転送データの消失を防ぐためのバッファサイ

ズ、すなわち格納可能なデータ量の最大値を $S1$ とし、データ転送開始時点からの要求数の積算値を DR 、応答に同期して受け取り、データバッファへ入力したデータ量の積算値を $D11$ 、データバッファから装置側へ出力したデータ利用の積算値を $DO1$ とする。ここでデータバッファは受け取ったデータを一時的に格納する働きがあり、装置側がデータの受け取りが可能な状態である限り、格納したデータを直ちに装置側へ出力する。この場合のデータ消失を防ぐ条件としては、

$$DR - DO1 \leq S1$$

であるので、 DR と $DO1$ をカウントし、両者の差が $S1$ よりも大きくならないようにデータ転送要求の送出を制御する必要がある。

【0015】上記した本発明のデータ転送技術では、たとえば記憶制御装置内に設けられた第1のデータバッファのサイズは変えずに、たとえば記憶装置側に第2のデータバッファを設け、第2のデータバッファの状態に応じて第1のデータバッファの制御を変えることで、第1のデータバッファのサイズを変化させることなく、第1および第2のデータバッファからなる見かけ上の単一のデータバッファのサイズ $S1$ を自由に拡大する。

【0016】すなわち、第2のデータバッファのサイズを $S2$ 、第1のデータバッファから出力され、そのまま第2のデータバッファへ入力されるデータ量の積算値を $D12$ 、第2のデータバッファから出力され、第2の装置へ送出されるデータ量の積算値を $DO2$ とすると、データ消失を防ぐための条件は、

$$DR - DO2 \leq S1 + S2$$

である。これを変形すると、

$$DR - DO1 + D12 - DO2 \leq S1 + S2$$

となる。第2のデータバッファの第2の制御回路は、 $D12 - DO2$ と $S2$ の比較のみを行い、その結果の大小のみを第1のデータバッファの第1の制御回路へ通知する。第1のデータバッファの第1の制御回路には予め、所定の方法で $S2$ の値が設定されており、これと第2の制御回路から得られる前記比較結果とにより、第1の制御回路は下記のようにデータ転送要求を制御する。

【0017】1) 比較結果が $D12 - DO2 \leq S2$ を示すとき、 $D12 - DO2 = 0$ とみなし、

$$DR - DO1 \leq S1 + S2$$

を満足するようにデータ転送要求を制御する。

【0018】2) 比較結果が $D12 - DO2 > S2$ を示すとき、 $D12 - DO2 = S2$ とみなし、

$$DR - DO1 \leq S1$$

を満足するようにデータ転送要求を制御する。

【0019】ただし、 $D12 - DO2 = S2$ のときにも、 $D12 - DO2 = 0$ とみなすため、実際には、第2のデータバッファとして $2 \times S2$ の容量が必要である。

【0020】

【実施例】以下、本発明の一実施例であるデータ転送制

御方法および装置について図面を参照しながら詳細に説明する。

【0021】図1は本発明のデータ転送制御方法および装置を、情報処理システムにおける中央処理装置と外部記憶装置との間におけるデータ転送に適用した場合を示すブロック図である。

【0022】本実施例の情報処理システムは、図示しない中央処理装置の配下で外部とのデータの入出力を制御するチャンネル1と、このチャンネル1に記憶制御装置2を介して接続された記憶装置3を備えている。チャンネル1と記憶制御装置2との間はチャンネルインターフェイス4によって接続され、記憶制御装置2と記憶装置3との間は装置間インターフェイス10によって接続されている。

【0023】記憶制御装置2の内部には、チャンネル1とのインターフェイス制御を行うチャンネルインターフェイス制御5、チャンネル1との間で授受されるデータを一時的に格納する第1データバッファ7、当該第1データバッファ7とチャンネルインターフェイス制御5とを接続するデータバッファインターフェイス6、第1データバッファ7の動作を制御する第1制御回路8、さらにはこれら各部を統括して制御するマイクロプロセッサ9が設けられている。

【0024】記憶装置3は、たとえば所望の持久性記憶媒体からなるデータ記憶部17、装置間インターフェイス10を介して記憶制御装置2との間で授受されるデータを一旦格納してデータ記憶部17とやり取りする第2データバッファ13、この第2データバッファ13の動作を制御する第2制御回路14、記憶装置3の全体をを統括して制御するマイクロプロセッサ15を備えている。

【0025】また、記憶制御装置2の第1制御回路8と記憶装置3の第2制御回路14は、制御線11によって接続され、同様に、マイクロプロセッサ9とマイクロプロセッサ15は、通信用インターフェイス12を介して相互に接続されている。

【0026】以下、本実施例のデータ転送制御方法および装置の動作を、ライト動作、すなわち、チャンネル1から記憶装置3へのデータ転送を行う場合について説明する。

【0027】チャンネルインターフェイス制御5は、チャンネルインターフェイス4におけるプロトコル制御を行う。このプロトコルは、予め定められたものであり、インターフェイス線としてメタルケーブルを使用するものや、光ファイバを使用するものなど、種々のインターフェイスが使用可能である。

【0028】データ転送は、主として、第1制御回路8および第2制御回路14により制御される。

【0029】第1制御回路8は、マイクロプロセッサ9より予めセットされた第2データバッファ13の大きさ

と、第2制御回路14から制御線11を介して通知される第2データバッファ13内のデータの蓄積状態、および第1データバッファ7内のデータの蓄積状態によって、チャンネル1へデータ転送を要求するか否かを決定し、データ転送要求16を制御する。

【0030】チャンネルインターフェイス制御5は、データ転送要求16を介して送られてくるデータ転送要求を、チャンネルインターフェイス4上のプロトコルに適する形式に直して、チャンネル1へ送る。これを受け取ったチャンネル1は、要求された分のデータをチャンネルインターフェイス4上のプロトコルに従って、順次、チャンネルインターフェイス4上へ送出する。このデータを受け取ったチャンネルインターフェイス制御5は、プロトコル中から当該データのみを抽出し、データバッファインターフェイス6を介して、第1データバッファ7に送る。

【0031】第1データバッファ7を制御する第1制御回路8は、第1データバッファ7に一時的に格納された前記データを、第2データバッファ13に蓄積されたデータが満杯でない限り、装置間インターフェイス10を介して、第2データバッファ13に送る。

【0032】第2データバッファ13を制御する第2制御回路14は、当該第2データバッファ13に一時的に格納された前記データを、データ記憶部17の動作速度に同期して当該データ記憶部17に送る。

【0033】このようなデータ転送処理における第1制御回路8および第2制御回路14の動作をさらに詳細に説明する。

【0034】第2制御回路14は、第2データバッファ13への入力データ量と、出力データ量を監視し、当該第2データバッファ13に格納されているデータ量を知る。このデータ量が、第2データバッファ13の全データ格納量の1/2より大きいと否かと、全データ格納量に等しいと否かの2種類の2値情報を、2ビットとして、制御線11を介して第1制御回路8に通知する。

【0035】第1制御回路8も同様に、第1データバッファ7の入力データ量と、出力データ量を監視し、格納されているデータ量を知る。さらに、第1制御回路8には、マイクロプロセッサ9より第2データバッファ13内の全データ格納量（格納可能容量）が予め設定されている。この設定は、たとえば、装置の電源投入時にマイクロプロセッサ9がマイクロプロセッサ15から通信用インターフェイス12を介して当該容量に関する情報を受け取ることによって実行される。

【0036】第1制御回路8は、上記の設定値および制御線11を介して通知される情報と、既にチャンネル1に要求したデータ量および第1データバッファ7からの出力データ量より、以下の方法により、チャンネル1に対してデータ転送を要求するか否かを決定する。

【0037】(1)制御線11を介して通知される第2データバッファ13内のデータ量が全格納量の1/2より

10

20

30

40

50

も少ない時、過去のデータ転送要求数と第1データバッファ7の出力データ量の差が、第1データバッファ7の全データ格納量と第2データバッファ13の全データ格納量よりも少ない場合にはデータ転送を要求し、等しいか多い場合にはデータ転送を要求しない。

【0038】(2).制御線11を介して通知される第2データバッファ13内のデータ量が全格納量の1/2よりも多い時、過去のデータ転送要求数と第1データバッファ7の出力データ量の差が、第1データバッファ7の全データ格納量よりも少ない場合にはデータ転送を要求し、等しいか多い場合には、データ転送を要求しない。

【0039】以上の制御により、第1データバッファ7、第2データバッファ13のオーバーフローや、データの消失などの懸念を生じることなく、ライト動作時におけるデータ転送が行われる。

【0040】このように、本実施例のデータ転送制御方法および装置によれば以下の効果を得ることができる。

【0041】(1).記憶制御装置2の側の第1データバッファ7のサイズを大きくすることなく、記憶装置3の側の第2データバッファ13を設けることで、第1データバッファ7を大きくした場合と等価な制御が可能になる。

【0042】(2).第1データバッファ7および第2データバッファ13の各々を独立に制御する第1制御回路8および第2制御回路14の間で授受される制御情報が簡単であるため、当該情報の授受を行う制御線11の所要ビット幅が少なくなり、記憶制御装置2と記憶装置3との間のインターフェイスが簡単になる。

【0043】(3).記憶制御装置2に接続される記憶装置3を別種のものに切り換える際に、チャンネル1に対するデータ転送速度や伝送距離が変化することによって必要なデータバッファのサイズに変更が生じてても、記憶装置3の側の第2データバッファ13のサイズを変えるだけで、記憶制御装置2の第1データバッファ7のサイズは変更する必要がなく、記憶制御装置2を様々な記憶装置3や伝送距離に共通に使用できる。

【0044】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で

種々変更可能であることはいうまでもない。

【0045】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0046】すなわち、本発明のデータ転送制御方法および装置によれば、装置間におけるデータ転送距離の拡大やデータ転送の高速化などの稼働環境の変化に応じてバッファサイズを容易に拡大することができるという効果が得られる。

【0047】また、本発明のデータ転送制御方法および装置によれば、簡単なインターフェイスによって、必要なバッファサイズに満たないサイズを有する複数のバッファを連結して必要なバッファサイズを的確に実現することができるという効果が得られる。

【図面の簡単な説明】

【図1】本発明の一実施例であるデータ転送制御方法および装置を、情報処理システムにおける中央処理装置と外部記憶装置との間におけるデータ転送に適用した場合を示すブロック図である。

【符号の説明】

- 1 チャンネル（第1の装置）
- 2 記憶制御装置
- 3 記憶装置（第2の装置）
- 4 チャンネルインターフェイス
- 5 チャンネルインターフェイス制御
- 6 データバッファインターフェイス
- 7 第1データバッファ（第1のデータバッファ）
- 8 第1制御回路（第1の制御回路）
- 9 マイクロプロセッサ
- 10 装置間インターフェイス
- 11 制御線（第2の手段）
- 12 通信用インターフェイス（第1の手段）
- 13 第2データバッファ（第2のデータバッファ）
- 14 第2制御回路（第2の制御回路）
- 15 マイクロプロセッサ
- 16 データ転送要求
- 17 データ記憶部

【図1】

